

**PACKAGE**

Patent Number: JP4336702  
Publication date: 1992-11-24  
Inventor(s): NAKAJIMA YASUHARU  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent: ☐ JP4336702  
Application JP19910107857 19910514  
Priority Number(s):  
IPC Classification: H01P5/02; H01P1/04; H01P3/08;  
EC Classification:  
Equivalents: JP2605502B2

---

**Abstract**

---

**PURPOSE:** To reduce the loss and to decrease the VSWR by forming an internal high frequency transmission line in a cavity of a package with a coplaner line.

**CONSTITUTION:** An internal high frequency transmission line comprising plural metallic thin films 18, 19 in a cavity is formed as a coplaner line 20. In this case, it is possible to make the width of a signal line suitable for the width of a microstrip line on an IC chip by selecting properly an interval between the signal line and a ground metal to reduce the loss and the VSWR. Moreover, an external coplaner line 10 and the internal high frequency transmission line are connected by plural via holes 11 and via holes of coaxial structure to enhance the isolation among ports at the mount of a multi-port IC chip thereby obtaining an advantageous package in the circuit integration.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁(JP)

(12) 特許公報 (B 2)

(11) 特許番号

第 2 6 0 5 5 0 2 号

(45) 発行日 平成9年(1997)4月30日

(24) 登録日 平成9年(1997)2月13日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 P	5/08		H 0 1 P	5/08 M
	1/04			1/04
	3/08			3/08
// H 0 1 L	23/04		H 0 1 L	23/04 F

請求項の数 3

(全 6 頁)

(21) 出願番号 特願平3-107857  
(22) 出願日 平成3年(1991)5月14日  
(65) 公開番号 特開平4-336702  
(43) 公開日 平成4年(1992)11月24日

(73) 特許権者 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 中島 康晴  
伊丹市瑞原4丁目1番地 三菱電機株式会社  
光・マイクロ波デバイス研究所内  
(74) 代理人 弁理士 宮田 金雄 (外3名)

審査官 岸田 伸太郎

(56) 参考文献 特開 平2-226748 (J P, A)  
特開 平2-62064 (J P, A)  
特開 平1-270326 (J P, A)  
特開 平2-148901 (J P, A)  
特開 平2-87701 (J P, A)  
特開 昭63-318802 (J P, A)  
実開 昭61-191607 (J P, U)

(54) 【発明の名称】 パッケージ

1

(57) 【特許請求の範囲】

【請求項 1】 パッケージ基板と、このパッケージ基板上に装着されたパッケージ側壁と、前記パッケージ側壁により囲まれて形成されたキャビティを封止するフタと、前記キャビティ内に設けられた半導体集積回路チップを実装するダイボンディング領域と、前記キャビティ内に設けられた誘電体基板の表面上に金属薄膜からなる内部高周波伝送線路を有し、前記パッケージ基板の底面部に金属薄膜により形成したリード端子をなす外部コプレーナ線路と、前記内部高周波伝送線路と前記外部コプレーナ線路を電気的に接続する金属からなるバイアホールとから構成されたパッケージにおいて、前記キャビティ内に形成される前記内部高周波伝送線路を、コプレーナ線路で構成し、前記内部高周波伝送線路と外部コプレーナ線路のそれぞれの接地金属間を金属からなる複数のバイ

2

アホールにより接続したことを特徴とするパッケージ。  
【請求項 2】 請求項 1 に記載のパッケージにおいて、内部高周波伝送線路と外部コプレーナ線路を同軸構造のバイアホールにより接続したことを特徴とするパッケージ。

【請求項 3】 請求項 1 に記載のパッケージにおいて、前記ダイボンディング領域に面する一辺について 2 対以上のコプレーナ線路を有することを特徴とするパッケージ。

10 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、高速に、あるいは高周波帯で動作する半導体装置を実装するパッケージに関するものである。

【0002】

3

【従来の技術】図6(a)～(c)は従来のパッケージの一例を示す図で、図6(a)は一部を破断した平面図、図6(b)は、図6(a)の要部のA-A線による断面図、図6(c)は、図6(a)の底面図である。また、図7はパッケージの要部を拡大して示した斜視図である。図6において、1はセラミックなどからなるパッケージ基板、2はセラミックあるいは表面をメタライズしたセラミックなどからなるパッケージ側壁であり、パッケージ基板1の表面上に装着されている。パッケージ側壁2のパッケージ基板1に接しない上端面は、金などの金属やコパールなどの合金からなるフタ3により封止されている。4は前記パッケージ基板1の表面にメタライズ5を施したダイボンディング領域、6はセラミックなどからなる誘電体基板であり、この誘電体基板6の表面上に金属薄膜からなる内部高周波伝送線路7が形成され、ダイボンディング領域4、誘電体基板6、内部高周波伝送線路7はパッケージ基板1とパッケージ側壁2とフタ3により囲まれたキャビティ内に構成されている。また、パッケージ基板1の底面部に、接地金属薄膜8と信号線金属薄膜9が形成され、これらにより外部コプレーナ線路10を構成し、その信号線金属薄膜9は金属からなるバイアホール11により内部高周波伝送線路7と電気的に接続した構造となっている。

【0003】次に、動作を図8を参照して説明する。図8(a)、(b)は、図6のパッケージに半導体集積回路チップを実装した状態の一例を示す図で、図8(a)はパッケージ内部を一部破断して示した平面図であり、図8(b)は、図8(a)のA-A線による断面図である。図8において、例えばガリウム砒素(GaAs)やシリコン(Si)などの半導体基板の表面上にトランジスタ、抵抗、キャパシタ、インダクタなどを用いて所定の機能を実現した半導体集積回路チップ(以下、ICチップと略す)12をメタライズ5の表面上のダイボンディング領域4に金・スズ(AuSn)などのはんだを用いてダイボンディングし、ICチップ12の表面上にあって、電気信号を入出力するためのパッド13と誘電体基板6上の内部高周波伝送線路7を、例えば金ワイヤ14などにより接続している。そして、外部コプレーナ線路10より入力された高周波信号(以下、RF信号と略す)は、バイアホール11を通して内部高周波伝送線路7に

【0004】

【発明が解決しようとする課題】従来のパッケージは以上のように構成されているので、メタライズ5と内部高周波伝送線路7よりなるマイクロストリップ線路上を介し、RF信号がICチップ12のマイクロストリップ線

4

路15に伝送される。マイクロストリップ線路15の線路幅が通常70～110μmであるのに比較し、パッケージの内部高周波伝送線路7の線路幅が約300～500μmと太いため、金ワイヤ14による接続部において高周波的な不整合を生じ、損失が増大し、定在波比(以下、VSWRと略す)が劣化するという問題点があった。

【0005】また、一辺に複数のRF信号入出力用のパッドを有するICチップ(以下、多ポートICチップと称す)を実装する場合、複数の内部高周波伝送線路7を伝送されるRF信号が相互に電磁界的な結合を発生し、RF信号ポート間のアイソレーションが低下するとともに、集積化の点で不利であるという問題点があった。

【0006】本発明は、上記のような問題点を解消するためになされたもので、高周波的な不整合を抑止し、低損失、かつ低VSWRのパッケージを実現するとともに、多ポートICチップなどの実装時に各ポート間のアイソレーションを高めることができ、集積化の上でも有利なパッケージを得ることを目的とする。

【0007】

【課題を解決するための手段】本発明に係る請求項1に記載のパッケージは、キャビティ内に複数の金属薄膜からなる内部高周波伝送線路をコプレーナ線路として構成したものである。

【0008】また、外部コプレーナ線路の接地金属と、コプレーナ線路となる内部高周波伝送線路の接地金属をそれぞれ金属からなる複数のバイアホールにより接続したものである。

【0009】また、請求項2に記載のパッケージは、外部コプレーナ線路と内部高周波伝送線路を同軸構造のバイアホールにより接続したものである。

【0010】さらに、請求項3に記載のパッケージは、ダイボンディング領域に面する一辺につき少なくとも2対のコプレーナ線路を有する構造としたものである。

【0011】

【作用】本発明に係る請求項1に記載の発明においては、内部高周波伝送線路をコプレーナ線路として構成したので、その信号線と接地金属との間隔を適切に選択することにより、信号線の線路幅をICチップ上のマイクロストリップ線路の線路幅と適合させることが可能となり、損失を低く抑え、VSWRも下げることができる。

【0012】また、本発明の請求項2に記載の発明においては、外部コプレーナ線路と内部高周波伝送線路を複数のバイアホールや同軸構造のバイアホールにより接続したので、高周波的な不整合も少なく、かつアイソレーションを高めることが可能である。

【0013】さらに、本発明の請求項3に記載の発明においては、内部高周波伝送線路として一辺につき少なくとも2対のコプレーナ線路を有するので、多ポートICチップを実装する場合でもRF信号ポート間の電磁界的

な結合を抑制し、アイソレーションを向上させることが可能であるとともに、パッケージ内の高集積化を図ることも可能となる。

#### 【0014】

【実施例】以下、本発明の実施例を図について説明する。図1(a)～(c)は本発明の第1の実施例であるパッケージを示す図で、図1(a)はパッケージの内部および外部を示す一部を破断した平面図、図1(b)は、図1(a)のA-A線による断面図、図1(c)は、図1(a)の底面図である。また、図2は、図1(a)の要部を拡大して示した部分斜視図である。図1において、1ないし6および8ないし11は図6、図7の従来例と同一または相当部分を示す。誘電体基板6の表面上に金属薄膜からなるパッケージ内部の接地金属薄膜18と、所定の線路幅および接地金属薄膜18と、所定の線路幅および接地金属薄膜18との所定間隔を有する金属薄膜からなる内部信号線金属薄膜19が形成されている。これら接地金属薄膜18と内部信号線金属薄膜19により高周波伝送線路として動作する内部コプレーナ線路20を構成している。また、内部コプレーナ線路20の接地金属薄膜18は、金属からなる複数のバイアホール11により外部コプレーナ線路10の接地金属薄膜8と電気的に接続している(図2参照)。

【0015】図3(a)～(c)は本発明の第2の実施例であるパッケージを示す図で、図3(a)はパッケージの内部および外部を示す一部を破断した平面図、図3(b)は、図3(a)のA-A線による断面図、図3(c)は、図3(a)の底面図である。また、図4は、図3(a)の要部を拡大して示した斜視図である。図3において、1ないし6、8ないし10および18ないし20はそれぞれ図1の実施例と同一または相当部分を示し、21aは前記内部信号線金属薄膜19と信号線金属薄膜9の間を誘電体基板6を貫通して電気的に接続する信号線バイアホールであり、21bはパッケージキャビティ内の接地金属薄膜18と外部コプレーナ線路10の接地金属薄膜8を接続する接地線バイアホールである。前記信号線バイアホール21aおよび接地線バイアホール21bにより同軸線路21を構成している。この同軸線路21は、高周波伝送線路の一形態をなし、外部コプレーナ線路10と内部コプレーナ線路20との間にあり、RF信号の授受を不整合を少なく低損失、かつ低VSWRで行う。

【0016】次に、上記図1または図3(ここでは図1)のパッケージにICチップ12を実装した場合の動作について図5(a)、(b)を参照して説明する。図5(a)は本発明の第1の実施例のパッケージにICチップ12を実装した状態のパッケージ内部および外部を示す平面図であり、図5(b)は、図5(a)のA-A線による断面図である。例えば、GaAsやSiなどの半導体基板の表面上に所定の機能を実現したICチップ

12をダイボンディング領域4にAuSnなどのはんだや導電性樹脂などを用いてダイボンディングし、ICチップ12の表面上にあり、電気信号を入出力するためのパッド13と内部信号線金属薄膜19を金ワイヤ14などにより接続している。外部コプレーナ線路10より入力されたRF信号は、バイアホール11を通して内部コプレーナ線路20にコプレーナ伝搬モードとして伝送される。さらに、このRF信号は金ワイヤ14を介してパッド13に伝送されて、パッケージ外部よりICチップ12とRF信号を授受する。内部コプレーナ線路20をRF信号が伝送されるので、RF信号の電磁界が内部信号線金属薄膜19と接地金属薄膜18間に集中した状態となっている。

【0017】なお、上記実施例においては、接地金属薄膜(8および18)間の接続を同軸線路構造もしくは一対のRFポートにつき4本のバイアホールを用いる場合について示したが、5本以上のバイアホールを持つ構造としてもよい。また、ダイボンディング領域に面する一辺につき2対の内部コプレーナ線路を有する場合について述べたが、多ポートICに対応させて、3対以上の内部コプレーナ線路を配設する構造としても同様の効果が得られる。さらに、一辺につき2対のRF信号を入出力する内部コプレーナ線路を有するだけでなく、一辺にRF信号を入出力する内部コプレーナ線路と、直流バイアスをICチップに印加するなどのポートを混在させる構造としてもよい。また、ICチップとして高周波領域で動作しRF信号を入出力する場合について述べたが、高速動作するデジタルICチップを実装する場合にも同様の効果を奏することはいうまでもない。

#### 【0018】

【発明の効果】以上説明したように、請求項1に記載の発明によれば、パッケージのキャビティ内の内部高周波伝送線路をコプレーナ線路で構成したので、その信号線の線路幅をICチップ上のマイクロストリップ線路の線路幅と適合させることが可能となり、損失を低く抑え、VSWRも下げることができる。

【0019】また、請求項2に記載の発明によれば、外部コプレーナ線路と内部コプレーナ線路を複数のバイアホールや同軸構造のバイアホールで接続する構造としたので、高周波的な不整合も少なく、かつアイソレーションを高めることが可能となる。

【0020】さらに、請求項3に記載の発明によれば、内部高周波伝送線路として、一辺につき2対以上のコプレーナ線路を配設したので、多ポートICチップを実装する場合でも、各RF信号ポートを伝送するRF信号の電磁界が、対応する内部コプレーナ線路に集中して伝搬され、他のポートへの漏洩、結合を抑制し、高いアイソレーションを有するとともに、集積化を高めることが可能となるという効果がある。

【図面の簡単な説明】

7

8

【図 1】本発明の第 1 の実施例によるパッケージの内部および外部の構成を示す図である。

【図 2】図 1 の要部を拡大して示した部分斜視図である。

【図 3】本発明の第 2 の実施例によるパッケージの内部および外部の構成を示す図である。

【図 4】図 3 の要部を拡大して示した部分斜視図である。

【図 5】図 1 の第 1 の実施例のパッケージに IC チップを実装した状態を示す内部および外部の構成を示す図である。

【図 6】従来のパッケージの内部および外部の構成を示す図である。

【図 7】図 6 の要部を拡大して示した部分斜視図である。

【図 8】従来のパッケージに IC チップを実装した状態の内部および外部の構成を示す図である。

# 【符号の説明】

1 パッケージ基板

2 パッケージ側壁

3 フタ

4 ダイボンディング領域

5 メタライズ

6 誘電体基板

7 内部高周波伝送線路

8 接地金属薄膜

9 信号線金属薄膜

10 外部コプレーナ線路

11 バイアホール

12 半導体集積回路チップ

13 パッド

14 金ワイヤ

15 マイクロストリップ線路

18 接地金属薄膜

19 内部信号線金属薄膜

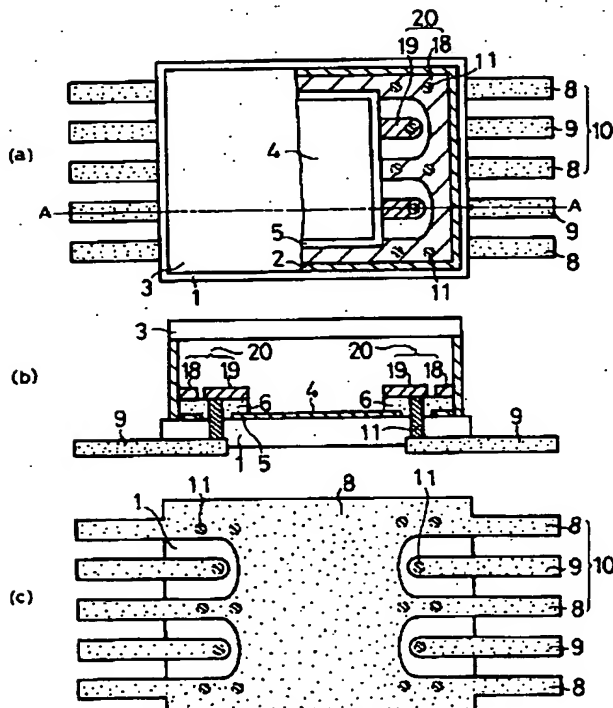
20 内部コプレーナ線路

21 同軸線路

21a 信号線バイアホール

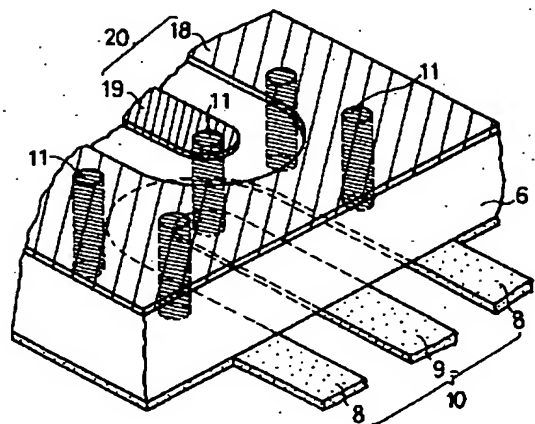
21b 接地線バイアホール

【図 1】

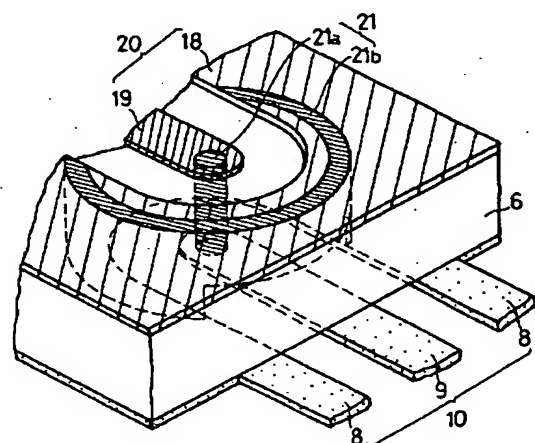


- |               |               |
|---------------|---------------|
| 1: パッケージ基板    | 9: 信号線金属薄膜    |
| 2: パッケージ側壁    | 10: 外部コプレーナ線路 |
| 3: フタ         | 11: バイアホール    |
| 4: ダイボンディング領域 | 18: 接地金属薄膜    |
| 5: メタライズ      | 19: 内部信号線金属薄膜 |
| 6: 誘電体基板      | 20: 内部コプレーナ線路 |
| 8: 接地金属薄膜     |               |

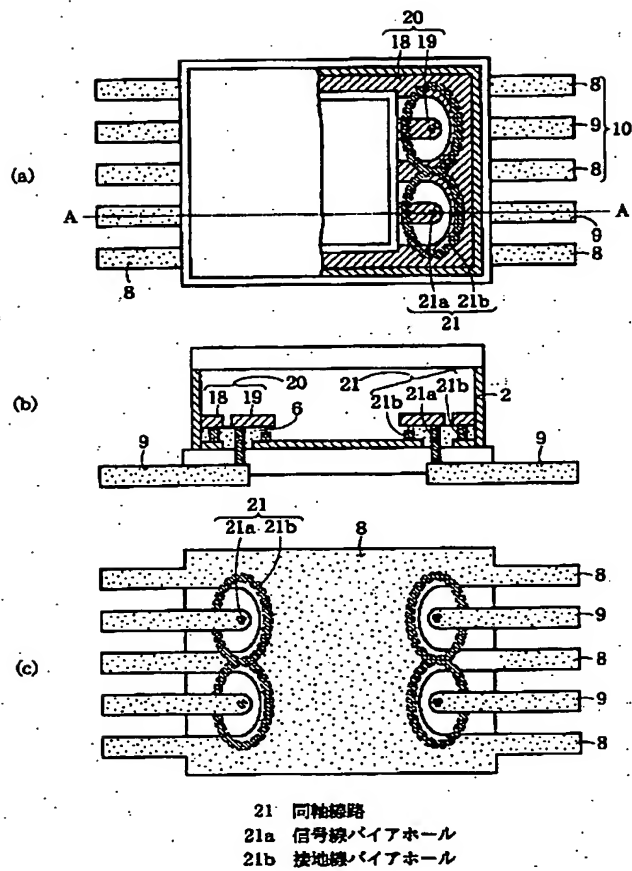
【図 2】



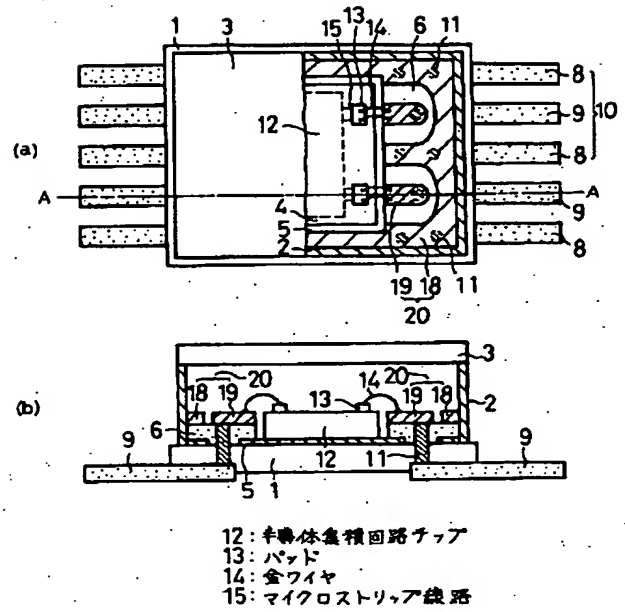
【図 4】



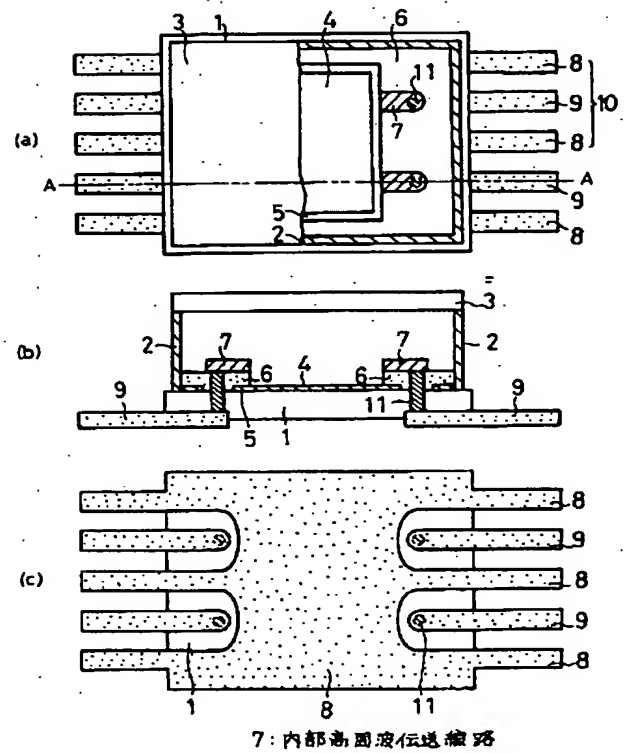
【図3】



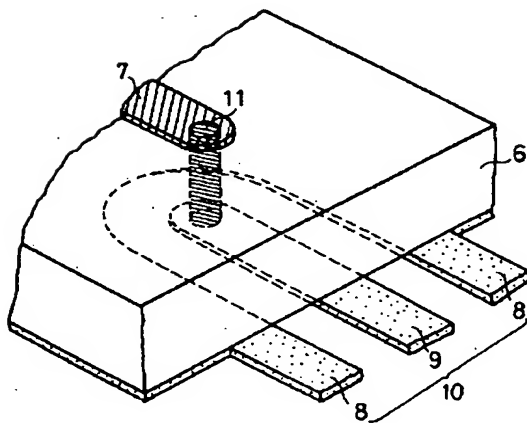
【図5】



【図6】



【図7】



【図 8】

